

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-271703

(43)Date of publication of application : 06.11.1990

(51)Int.Cl.

H03F 1/00

(21)Application number : 01-092625

(71)Applicant : TOSHIBA CORP

TOSHIBA AUDIO VIDEO ENG CORP

(22)Date of filing : 12.04.1989

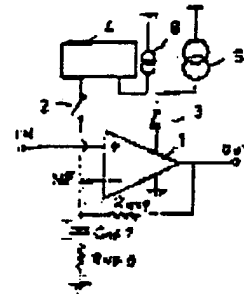
(72)Inventor : ARAKAWA HIROSHI

(54) AMPLIFIER CIRCUIT WITH BIAS WITH RESPECT TO GROUND

(57)Abstract:

PURPOSE: To prevent production of pop noise by interrupting the operation of an operational amplifier during the operation of a rapid charge circuit.

CONSTITUTION: Switch devices 2, 3 are provided to an operational amplifier 1 and a rapid charging circuit 4 connects to ground via the device 2. On the other hand, a constant current source 5 connects to the device 3 and a constant current source 6 connects to the circuit 4 to connect the power supply to current sources 5, 6. When the current sources 5, 6 are started, the circuit 4 starts the operation. The switch 3 is turned off to interrupt the operation of the amplifier 1 during the operation of the circuit 4. Thus, no high frequency noise is caused at the output terminal OUT at start. That is, the production of pop noise is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ Int. Cl.

H 03 F 1/00

識別記号

庁内整理番号

C

6832-5J

⑬ 公開 平成2年(1990)11月6日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 対接地バイアス型増幅回路

⑮ 特 願 平1-92825

⑯ 出 願 平1(1989)4月12日

⑰ 発 明 者 荒 川 洋 東京都港区新橋3丁目3番9号 東芝オーディオ・ビデオ・エンジニアリング株式会社内
⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 出 願 人 東芝オーディオ・ビデオ 東京都港区新橋3丁目3番9号
オ・エンジニアリング
株式会社
⑳ 代 理 人 弁理士 大 胡 典 夫

明 細 書

1. 発明の名称

対接地バイアス型増幅回路

2. 特許請求の範囲

オペアンプの入力端子に接続される電圧に連絡する急速充電回路と、このオペアンプの帰還端子に接続する外付けコンデンサ及び抵抗を具備する対接地バイアス型増幅回路において、急速充電回路の動作に応じてオペアンプの帰還を中断することを特徴とする対接地バイアス型増幅回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、アナログ増幅回路に関するもので、特に、単一電圧を利用する対接地バイアス型入力回路に好適するものである。

(従来の技術)

ラジカセなどのAV機器に利用される単一電圧、対接地バイアス型増幅回路では、電圧投入時にかけるコンデンサの充電時間短縮のために急速充

電回路を付けて出力端子の立上がりを早くしているのが一般的である。

第4図、第5図a～c及び第6図により単一電圧、対接地バイアス型増幅回路を説明する。第4図のブロック図に示すように、入力が印加される接続されたオペアンプ70には、その帰還端子に急速充電回路71をスイッチ72を介して接続すると共に、コンデンサ73と抵抗74を接続する。

また、電圧Vccに接続した定電流源74と急速充電回路71の出力が接続するオペアンプ70には、外付け素子としてコンデンサ73と抵抗74、75を設置し、それ以外の部品は、例えばシリコン半導体基板上にモノリシック(Monolithic)に集積する。

即ち、外付け素子のコンデンサ73と抵抗74、75により構成される帰還回路では、定常時の帰還入力端子(NF)のDC電圧は $2V_{BE}=1.4V$ であり、電圧投入時には急速充電回路71により帰還端子回路のコンデンサ73に充電される。そして、帰還入力端子が $2V_{BE}$ 以上例えば $3V_{BE}=2.1V$ になると、急速充電回路に内蔵するサイリスタ(図示せず)がこの

帰還端子電圧を検出してスイッチ72がオープンとなつて急速充電回路71は遮断される。その結果、コンデンサ73にチャージ(Charge)された余分な電荷は放電されてオペアンプ即ち増幅回路が起動される。

また帰還回路により増幅回路のゲイン(Gain)が決定され、40~60dBが利用できるように制御されている。

この増幅回路は、パワー回路またはプリ回路として半導体基板にモノリシックに形成して集積回路素子を製造し、これをラジカセなどのAV機器に適用している。この利用に当たっては、再生ヘッド-プリアンプ-パワーアンプ-スピーカからなる再生系と、MICまたは他の信号源-録音アンプ-録音ヘッドからなる録音系があり、録音回路は、録音時だけ通電する場合もある。

(発明が解決しようとする課題)

第4図に示すような入力(In)と出力(Out)が同相型オペアンプでは、帰還入力端子NFが出力端子と逆相になるが、帰還回路のコンデンサ73の充

電荷が零の時に電源を投入すると、帰還入力端子NFは零電位からスタートすることになる。

一方、出力端子は、帰還入力端子NFと逆相なために瞬時にハイレベル(High Level)になり、急速充電回路71によりコンデンサ73が充電されて帰還入力端子NFが高電圧例えば約3V_{BE}約2.1Vに持上げられるために、出力端子は一気にローレベル(Low Level)まで落ちる。しかし帰還入力端子NFが定常の電圧例えば約2V_{BE}約1.4Vになった時、出力端子が中点電位となつてオペアンプが起動する。この電圧立上がりに関連した出力端子及び帰還入力端子NFのDC電圧の動きを第5図a~cに示した。

この図では、縦軸に電圧横軸に時間を採って、電源投入時におけるa電源V_{cc}、b 帰還入力端子NF、c 出力端子における立上がりのDC波形を示した。

第5図bにあるように、NF端子が3Vに充電されると、S₇₂が切れ、過充電分が放電される。この状態が図の傾斜部分イに相当しており、急速充電回路71動作する時間は図の立上がり部における極

めて短い時間である。

また、第5図cでは、出力端子に発生したひげが示されている。しかし、ラジカセにあっては、上記のように電源に接続したパワー回路をスピーカ及びレコーダヘッド間に接続した回路を採用した場合に、このひげがスピーカ(Speaker)出力にでて耳ざわりな大きなボツ音として聞こえるので、音響機器の商品価値を極端に低下させる。

第6図には、バイポーラ集積回路素子の出力波形を示したが、ボツ音の発生がはっきり示されている。

本発明はこのような事情により成されたもので、特に、単一電源対接型アナログ増幅回路に好適する。

(発明の構成)

(課題を解決するための手段)

オペアンプの入力端子に接続され電源に連結する急速充電回路と、このオペアンプの帰還端子に接続する外付けコンデンサ及び抵抗を設置する対接地バイアス型増幅回路において、急速充電回

路の動作に応じてオペアンプの稼働を中断すること、に、本発明に係わる対接地バイアス型増幅回路の特長がある。

(作用)

このように本発明では、急速充電回路の動作中にオペアンプの稼働を中断するとボツ音が発生しないので、この対接地バイアス型増幅回路を適用したAV機器の商品価値を大幅に向上できる極めて大きい利点がある。

(実施例)

第1図乃至第3図を参照して、本発明に係わる実施例を説明する。

第1図は、一実施例に係わる対接地バイアス型増幅回路の1ブロック図であり、その詳細を第2図aに示した。ブロック図に明らかなように、オペアンプ1には、第1のスイッチ機構2と第2のスイッチ機構3を設置し、第1のスイッチ機構2を介して急速充電回路4を設置する。一方、第2のスイッチ機構3には第2の定電流源5が、急速充電回路4には、第1の定電流源6を接続し、両

定電流源5、6とも電源Vccに連結する。

第1のスイッチ機構2の出力が接続されるオペアンプ1の負帰還端子NFには、第1のスイッチ機構2の出力が接続され、更に、外付け素子であるコンデンサ-CNF7と抵抗RNF8を接続する。この外付け素子以外の部品は、図示しない半導体基板にモノリシックに設置する。

また、オペアンプ1の出力端子と、外付けコンデンサ-CNF7と帰還入力端子NF間にも抵抗RNF8を接続して対接地バイアス型増幅回路を構成する。

この回路の詳細を第2図a、b、cにより説明する。即ち、オペアンプ1と急速充電回路4に接続される、Vccに連結した第1及び第2の定電流源5、6及び第1のスイッチ機構2と第2のスイッチ機構3の詳細が第2図aに示されており、第2図bは急速充電回路4の内部等価回路例であり、第2図cはその一部を変えた他の実施例を示している。

第1図に明らかにした対接地バイアス型増幅回路のオペアンプ1には、Vccに接続した第1及び

第2の定電流源5、6が第1のスイッチ機構2及び第2のスイッチ機構3と共に接続されている。即ち、図示していない他の回路の出力を接続した第2の定電流源5の出力は、第2図aに示すように、第2のスイッチ機構3として機能するNPNトランジスタQ4とダイオードQ1に入力する。NPNトランジスタQ4のベースは、急速充電回路4に接続したチャージ回路の一部を構成するNPNトランジスタQ13のコレクターに抵抗R14を介して接続し、エミッタは接地線に連結する。このNPNトランジスタQ13も含んで構成するチャージ回路は、NPNトランジスタQ13のベースを、抵抗R10、R11に接続し、その一端をNPNトランジスタQ14のベースに連結し、エミッタを接地線に、コレクタを急速充電回路4に接続する。

チャージ遮断回路としては、接地線及び急速充電回路4に接続した抵抗R12を抵抗R10、R11の間に配置して構成し、抵抗R12をチャージ回路遮断検出抵抗として機能させる。

第2の定電流源5の出力が入力するダイオード

Q1の出力は、ダイオードQ2を介してカレントミラー用NPNトランジスタQ3のコレクタと、NPNトランジスタQ5のベースに接続する。このカレントミラーはNPNトランジスタQ8とNPNトランジスタQ3で構成され、両エミッタは抵抗R3、R1を経て接地線に接続する。また、NPNトランジスタQ5のコレクタはVccに、エミッターは抵抗R2を介してカレントミラー用NPNトランジスタQ3とNPNトランジスタQ6のベース接地線に連結する。

このNPNトランジスタQ5のコレクタは、PNPトランジスタQ7のコレクタとPNPトランジスタQ8のベースに接続し、このPNPトランジスタQ7のエミッタは抵抗R4を介してVccに結び、また、PNPトランジスタQ8のエミッタは、抵抗R5を経て後述するPNPトランジスタQ15のベースに連結すると共に、この抵抗R5とPNPトランジスタQ7のベースとを接地する。一方、第1の定電流源6の一端は、接地線に結び、他端は、同じく接地線にコレクタを接続したPNPトランジスタQ10のベース及びPNPトランジスタQ9のコレクタに接続し、この両PNPトラン

ジスタQ10、Q9のエミッタに接続した抵抗R7、R6の中、R6はVccに接続する。

ところで、NPNトランジスタQ13のコレクタにコレクタを接続配置するPNPトランジスタQ11、急速充電回路4にコレクタを接するPNPトランジスタQ12の各ベースは、PNPトランジスタQ9のベースと相互接続し、PNPトランジスタQ9のエミッタに接続し、電源Vccに連結した抵抗R8とR9の一端をPNPトランジスタQ11、Q12のエミッタに連結する。

更に、PNPトランジスタQ15は、コレクタ端子をオペアンプ1に接続する他に、エミッタを抵抗R13に結び、その他端を電源Vccに接続する。

この回路動作について説明すると、定電流源5、6が起動すると、急速充電回路が動作を開始する。即ち、チャージ回路用遮断検出抵抗R12は、NF端子が3V_{BE}となるとNPNトランジスタQ14がオン(On)してチャージ回路が遮断される。

このNPNトランジスタQ14のオン、オフ(On/Off)つまりチャージ回路のOn/Offは、NPNトランジスタQ13に同期する。チャージ回路の起動直後に

ついて考えてみると、NPNトランジスタQ13がオフしているためにPNPトランジスタQ11のコレクタ電流は全てNPNトランジスタQ4のベースに流入されてオンする。

このNPNトランジスタQ4の V_{CE} は、 $4V_{BE}(Q1, Q2, Q5, Q3)$ より小さくなり、定電流源5の出力が全てコレクタ端子に流込む。

従って、カレントミラーを構成するQ3とQ6、Q7とQ15は、いずれもカットオフ(Cut Off)状態となって、増幅回路として動作するオペアンプ1に電流を供給しない。そこで、充電を行ってNF端子の電圧が $3V_{BE}$ まで上がると、R12の電圧が V_{BE} になりQ13、Q14がオン状態になる。このQ14のオンによってチャージ回路が遮断されると同時に、Q13がオンすることによりQ13の V_{CE} がQ4の V_{BE} より小さくなってQ4がオフになる。すると、カレントミラー-Q3、Q6、Q7、Q15はオンしてオペアンプ1が起動する。

この時点で、オペアンプ1のNF端子はすでにほぼ $3V_{BE}$ まで上昇しているの、NF端子と逆相の出

力端子はローレベル(Low Level)になっている。従ってコンデンサCNF7の電荷が放電され、NF端子電圧が $2V_{BE}$ 程度になった時、出力端子が中点になってオペアンプ1が定常状態になる。

この回路に電源を投入すると、第1のスイッチ機構は閉状態、帰還端子の電圧が $3V_{BE}$ になるまでコンデンサーが充電されると、急速充電回路は遮断されて第1のスイッチ機構が開状態となり、第2のスイッチ機構は閉じられて増幅回路が起動する。

第3図には、本発明に係わる対接地バイアス型増幅回路の電源投入時の立上がり波形を示した。この図は、縦軸に電圧(V)、横軸に時間を採り、DC電源投入時における電圧、帰還端子及び出力端子における放電をa、b、cに示した。このc即ちオペアンプ1の出力端子では、ボツ音が全くでていないことが明らかである。次に第2図bを参照して、急速充電回路4内に第1のスイッチ機構2を内蔵させた実施例を説明するが、第2図aのオペアンプ、外付け素子、チャージ回路、定電流

源などは全く同様なので動作説明を省略して、結構状態だけを示す。

即ち、電源Vccに接続しかつベースを相互接続したNPNトランジスタQ20、Q21を設け、Q20のベースは、第2図aの回路のPNPトランジスタQ12のコレクタに接続する。更に、別に設置したNPNトランジスタQ22、Q23の両コレクタを電源Vccに接続すると共に、それらのベースを抵抗R24、R25を介してNPNトランジスタQ20、Q21に接続する。更に、エミッタ端子及びベース端子を相互接続したPNPトランジスタQ26、Q27を用意し、エミッタ端子をNPNトランジスタQ20、Q21のベースに接続し、このPNPトランジスタQ27のコレクタにエミッタを接続したNPNトランジスタQ28を配置する。

更にまた、このNPNトランジスタQ28のベースはコレクタに接続してダイオードとして稼働させ、その一端をNPNトランジスタQ23のエミッタに、他端を第2図aの抵抗R10、R11、R12に接続する。このような回路により、急速充電回路4内に第1のスイッチ機構2を内蔵させる。しかし、ベース

を相互接続しこれをPNPトランジスタQ26のコレクタに接続した端子は、第2図aのNPNトランジスタQ14のコレクタに接続して、定電流源やカレントミラーの稼働による定電流及びチャージ回路により対接地バイアス型増幅回路を構成する。この回路接続では、NPNトランジスタQ20、Q21がCNF7に充電電流を供給する役割を担っているが、NPNトランジスタQ20のエミッタが常態で $3V_{BE}=1.1V$ に達すると、Q26、Q27がオンしてNPNトランジスタQ20、Q21、Q22、Q23、Q26がオフ状態になり、ここが $V_{BE}=0.7V$ になると、NPNトランジスタQ26、Q27はオン状態になる。更にまた、第2図aのカレントミラーNPNトランジスタQ11、Q12のコレクタ電流が上記のようにNPNトランジスタQ12、Q13に流れて、定電流を供給する役割を果たしている。

この実施例により得られる対接地バイアス型増幅回路は、第2図aに明らかな回路と同様に、第3図a、b、c及びdに示したDC電源投入時の波形が得られることを付記する。

第2図aにより、第2図aの第2のスイッチ機

構3をオペアンプに内蔵した実施例を説明する。即ち、第1の定電流源5にコレクタを接続して第2のスイッチ機構3として動作するNPNトランジスタQ4を省略し、これに代わってオペアンプ1内に第2のスイッチ機構3と同じような機構を発現する回路を設置する。

第2図。に明らかなように、急速充電回路4及びチャージ回路10、定電流源5やオペアンプ、帰還端子などは第2図。と同様な回路接続なので説明を省略し、オペアンプ内の結線についてだけ説明する。

即ち、電源Vccに接続した抵抗R58には、エミッタ端子を接続したPNPトランジスタQ59を設け、コレクタにNPNトランジスタQ56のコレクタを接続して定電流源として機能させる。PNPトランジスタQ59のベースには、電源Vccにエミッタ端子を接続した他のPNPトランジスタQ57のベースを接続し、そのコレクタ端子を出力段として動作させる。

一方、差動アンプを構成するNPNトランジスタQ34、35を配置し、相互接続した両エミッタには、

経て接地線に接続する。

この接地線には、入力端子に接続した抵抗R47を結ぶと共に、その一端をPNPトランジスタQ48のベースに接続し、このコレクタ端子も接地線に接続する。また、オペアンプの帰還端子NFに接続した抵抗R49には、NPNトランジスタQ50のベースを接続し、そのエミッタをPNPトランジスタQ48のエミッタに接続する。更にまた、NPNトランジスタQ50のコレクタは抵抗R62を経て内部基準電圧Vrefに、一方、差動アンプ用NPNトランジスタQ34のベースと結ぶ。

この他に接地線には、抵抗R51、52、57及びNPNトランジスタQ53のエミッタを接続し、NPNトランジスタQ53のベースには、抵抗51と共にNPNトランジスタQ54のエミッタと接続するが、このNPNトランジスタQ54のベース端子は、コンデンサC55を介してNPNトランジスタQ53のコレクタに接続する。NPNトランジスタQ54はエミッタフロアとして動作する。このNPNトランジスタQ53及びNPNトランジスタQ56の両コレクタ端子は、電源Vccに接続し

急速充電回路4に接続したカレントミラー用PNPトランジスタQ11、12とチャージ回路10にベースを接続したNPNトランジスタQ36と、そのコレクタ端子にベースを接続したNPNトランジスタQ37を夫々接続する。

また、内部基準電圧Vrefに接続して抵抗R38、39にはPNPトランジスタQ40、Q41のエミッタを結び、このコレクタ端子には、NPNトランジスタQ34、35の両コレクタを接続する。

このNPNトランジスタQ34、35のエミッタは相互接続し、これをNPNトランジスタQ37のコレクタに接続する。そのNPNトランジスタQ37のベースには、NPNトランジスタQ36のコレクタ及び出力段を構成するNPNトランジスタQ56のベースに接続する。NPNトランジスタQ41と同様にベースとコレクタをショートしてダイオードとして機能させる。

このダイオードとNPNトランジスタQ35のベースには、抵抗R43を連結し、更に抵抗R44とNPNトランジスタQ45を直列に設置すると共に接地線と結び、NPNトランジスタQ37のエミッタも抵抗R46を

た各端子と連結する。即ち、電源Vccには、PNPトランジスタQ57のエミッタと、抵抗R58を経てPNPトランジスタQ59を設け、両トランジスタのベースを相互接続すると共に、抵抗R60を経てPNPトランジスタQ61のエミッタに接続する。このコレクタ端子は接地線と、ベースはPNPトランジスタQ59のコレクタ及びNPNトランジスタQ56のコレクタと結ぶ。なお、抵抗R57の一端は、出力端子に接続して第2のスイッチ機構3を内蔵するオペアンプを構成する。

この回路接続にあっては、PNPトランジスタQ59、及びNPNトランジスタQ59が定電流源として、NPNトランジスタQ54がエミッタフロアとして動作する。

ところで、外部で設定した基準低電圧Vrefは、NPNトランジスタQ42、Q45及び抵抗R43、R44のラインに接続されるが、NPNトランジスタQ42、Q45はコレクタとベースを短絡してダイオードとして動作させると共に、抵抗R43、R44により抵抗分割を行う。

抵抗R43, R44の間で接続するライン即ち、NPNトランジスタQ36のコレクタにNPNトランジスタQ37のベースを結び、また、抵抗R43, R44の間を接続後NPNトランジスタQ58のベースに接続するものである。このラインは V_{BE} が0.8Vに制御されているのに対して、NPNトランジスタQ42, Q45及び抵抗R43, R44のラインはダイオード2個により基準電圧 V_{ref} 1.4Vが0.7Vに調整される。従って、NPNトランジスタQ58のエミッタに接続する抵抗R52には、0.1Vの電圧が印加されて定電圧源としての機能を発揮する。

なお、この増幅回路は、従来技術欄に説明したようにパワー回路やプリ回路と共に半導体基板上に形成した集積回路素子をAV機器に搭載する。

(発明の効果)

電源投入時における電源電圧と、これに同期した出力端子と同期入力端子における立上りのDC波形を第3図a, b, cに示した。即ち、横軸に時間を、縦軸に電源電圧を採った曲線図から分かるように、ひげは出力端子電圧で発生していない。

更に、第3図dには、本発明に係わる対接地バイアス回路を採用したラジカセにおけるDC電源オン時における出力端子波形を第3図dに示した。即ち、縦軸に電圧、横軸に時間(秒)として記録したが、第3図aと同様にボツ音は全く発生しない結果が得られ、本発明の有効性は明らかである。

4. 図面の簡単な説明

第1図は、本発明に関する一実施例のブロック図、第2図aは、その具体的な回路図、第2図b, cは、他の実施例の回路図、第3図a～dは、この回路にDC電源投入時における各部に発生する波形を示す図、第4図は、従来回路のブロック図、第5図a, b, cは、第4図の回路にDC電源を投入した時に各部に発生する波形を示す図、第6図はラジカセに第4図の回路を適用してDC電源投入時の波形図である。

- | | |
|----------|-----------|
| 1: オペアンプ | 4: 急速充電回路 |
| 7: コンデンサ | 8, 9: 抵抗 |

代理人 弁理士 大 胡 典 夫

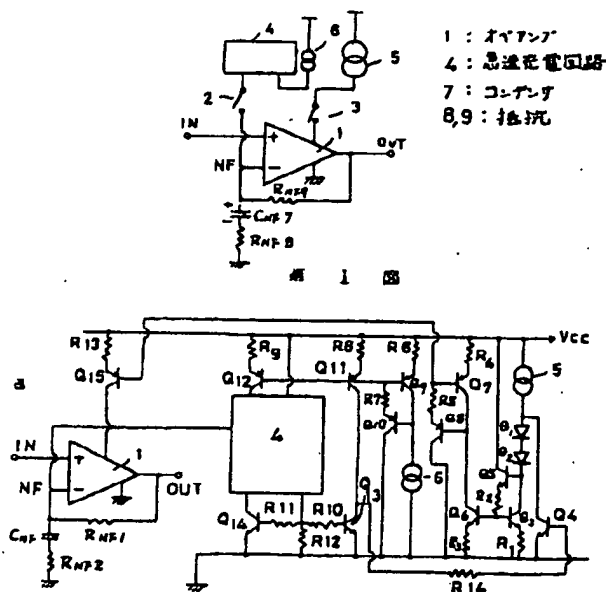


図 1 図

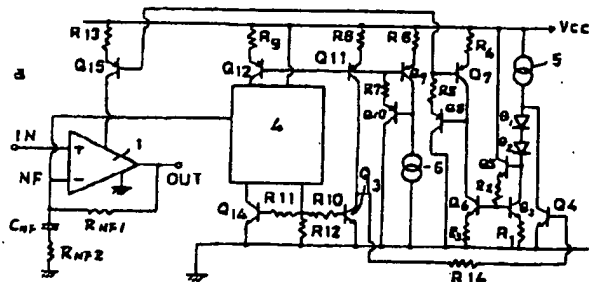


図 2 図 (その1)

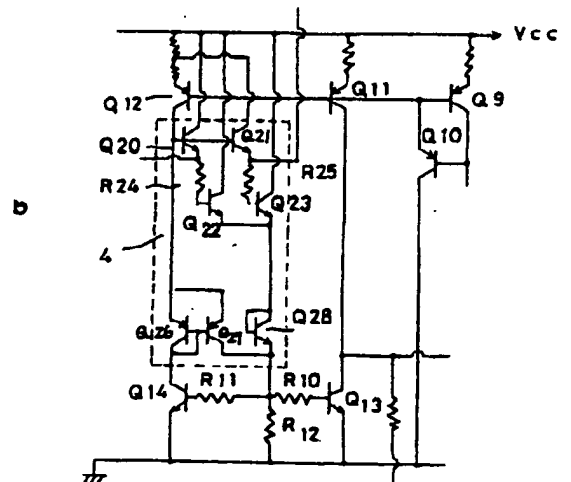
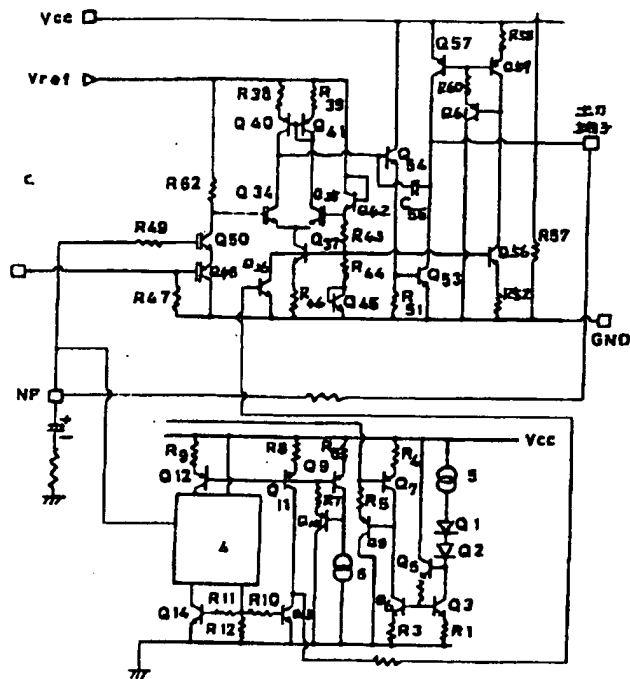
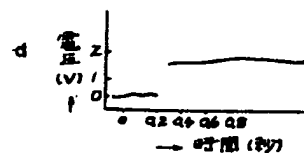
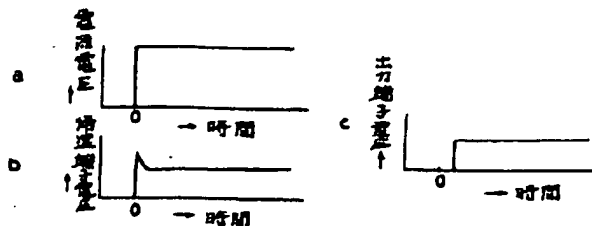


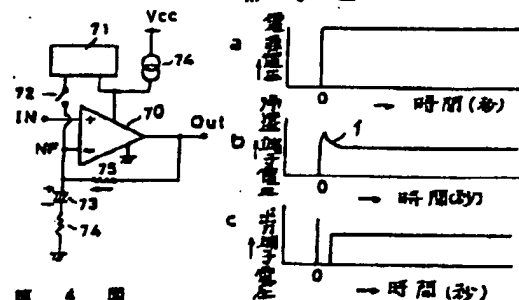
図 2 図 (その2)



第 2 図 (403)

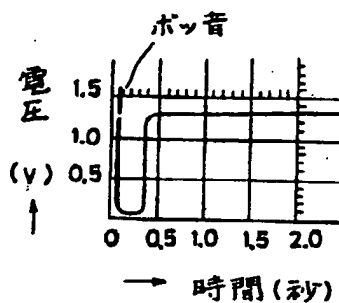


第 3 図



第 4 図

第 5 図



第 6 図